

PAT-NO: JP361183972A
DOCUMENT-IDENTIFIER: JP 61183972 A
TITLE: MANUFACTURE OF THIN FILM
SEMICONDUCTOR DEVICE
PUBN-DATE: August 16, 1986

INVENTOR-INFORMATION:
NAME
OGO, SHINICHI
TAKEDA, MAMORU
FUJII, KENICHI
KAMIURA, HIROAKI

ASSIGNEE-INFORMATION:
NAME MATSUSHITA ELECTRIC IND CO LTD COUNTRY
N/A

APPL-NO: JP60023863
APPL-DATE: February 8, 1985

INT-CL (IPC): H01L029/78, H01L021/205 , H01L027/12
US-CL-CURRENT: 257/E29.273, 438/27 , 438/FOR.109

ABSTRACT:

PURPOSE: To prevent the electrode short circuits caused by pin holes generated by film defects or resist film defects, by a method wherein source-drain electrodes are formed by overetching the gate electrode after formation of contact holes onto a semiconductor layer.

CONSTITUTION: When the islanded part has pin holes,

patterning is carried out by photolithography so as to expose the islanded part, and Cr exposed except the gate electrode is protected with a resin film. On Cr overetching by dipping in a Cr etchant, the gate electrode under a pin hole part is removed larger than the pin hole diameter as (b) at a point with defects as (a). Even when source-drain electrodes of Al and the like are thereafter formed, electrode short circuits can be prevented in the form of (c).

COPYRIGHT: (C)1986, JPO&Japio

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 昭61-183972

⑬ Int.Cl. ¹ H 01 L 29/78 21/205 27/12	種別記号	厅内整理番号	⑭ 公開 昭和61年(1986)8月16日
		8422-5F 7739-5F 7514-5F	審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 薄膜半導体装置の製造方法

⑯ 特 願 昭60-23863
 ⑰ 出 願 昭60(1985)2月8日

⑱ 発明者 小郷 伸一	門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発明者 竹田 守	門真市大字門真1006番地	松下電器産業株式会社内
⑳ 発明者 藤井 謙一	門真市大字門真1006番地	松下電器産業株式会社内
㉑ 発明者 上浦 宏明	門真市大字門真1006番地	松下電器産業株式会社内
㉒ 出願人 松下電器産業株式会社	門真市大字門真1006番地	
㉓ 代理人 弁理士 中尾 敏男	外1名	

明細書

1、発明の名称

薄膜半導体装置の製造方法

2、特許請求の範囲

- (1) 半導体層へのソース・ドレインコンタクト穴を開け、ゲート電極をオーバーエッチングした後、ソース・ドレイン電極を形成することを特徴とする薄膜半導体装置の製造方法。
- (2) 半導体層がアモルファスシリコンよりなる特許請求の範囲第1項記載の薄膜半導体装置の製造方法。
- (3) ゲート電極が Cr である特許請求の範囲第1項記載の薄膜半導体装置の製造方法。

3、発明の詳細な説明

産業上の利用分野

本発明はアクティブラチックス型液晶表示装置、イメージセンサーなどに用いられる薄膜半導体装置（以下 TFT と略す）の製造方法に関するものである。

従来の技術

近年、非晶質半導体膜形成技術の進歩により TFT が注目されており、液晶表示装置へ利用する研究開発が活発である。非晶質半導体膜は比較的低圧で形成できるため、基板が固定されず、安価で大面积の集積回路を実現できる可能性が大きいからである。この TFT を液晶表示装置のスマートチップ素子としてマトリックス型に配置する場合、表示の画素すべてにわたって正常に動作することが求められる。以下図を参照しながら従来の TFT 製造プロセスについて説明する。

第1図は TFT の断面図であり、1はガラス等の絶縁性基板で、この上にゲート電極2、ゲート絶縁膜3、半導体膜4、保護絶縁膜5、ソース・ドレイン電極6、より成る。ガラス等の絶縁性基板の上に Cr 等によるゲート電極を形成し、その上に P-CVD 法等によりゲート絶縁膜、半導体膜、保護絶縁膜と順に成膜する。（第2図(a)）このようにして出来上った基板の保護絶縁膜をフォトリソグラフ法により島化し（第2図(b)）、これをマスクにして半導体膜をエッチングし、島化

特開昭61-183972 (2)

する。(第2図(c)) 次に再度フォトリソグラフ法によりコンタクト穴をあけ(第2図(d))、この上にAl等の金属でソース・ドレイン電極を形成するとTFTが出来上がる。(特開昭61-50564号公報)

発明が解決しようとする問題点

従来このTFT素子を作る場合、各プロセス毎に基板全体にわたって欠陥をつくりないよう、かなりの注意を払って作業をすすめるのであるが、液晶表示装置に於ては大面积化、画素数の増大が技術的趨勢であり、表示装置として求められる要件でもある。これを満たすためには、より一層の困難さを克服しなければならない。

しかしながら、上記のような構成に於ては、大面积にわたって成膜した基板中にピンホール等の抜けや、フォトリソグラフ法によるレジスト膜の欠陥は避けられず、その都度全体を検査し、修正することは不可能である。

即ち、絶縁膜や半導体膜をP-CVD法によって形成する際、試料温度の上昇により下層のCr

エッチングした後、ソース・ドレイン電極を形成するという構成を備えたものである。

作用

本発明は上記した構成によって、ソース・ドレイン電極形成の前にゲート形成金属のエッチング液を用いて、ピンホール等の原因で露出したゲート電極をオーバーニッティングすることにより、ピンホールよりも大きいゲート電極の抜けをつくる。即ち、ゲート絶縁膜が電極に対してオーバーハンゲ状態となるため、ソース・ドレイン電極を形成する金属を露出あるいはスパッタリングで形成してもゲート電極とソース・ドレイン電極の接触がおこらず、その短絡を防ぐことができる。ひいては液晶表示装置に適用した場合の線欠陥をなくすものである。

実施例

以下本発明の一実施例について図面を参照しながら説明する。第1図(a)はTFTの断面図を示すものである。

第3図(a)は島化部分にピンホールが存在した場

ゲート表面に突起(ヒルロック)が発生したり、最後により成膜が正常にいかない場合もある。前述したような欠陥の発生につながる場合がある。勿論、ゲート電極形成時、既に突起の存在している場合もある。成膜した基板上にピンホールが存在していたり、フォトリソ時レジスト膜の欠陥をつくると、第1図(d)の如く欠陥を通してゲート電極とソース・ドレイン電極の短絡が起る。この短絡は液晶表示装置に適用した場合、画面上に線欠陥として現われ、致命的である。

本発明は上記問題点に鑑み、絶縁膜、半導体膜等にピンホール状の欠陥があっても、半導体膜島化時のフォトリソグラフ法によるレジスト膜の欠陥が存在しても、それによってゲート電極とソース・ドレイン電極が短絡しないような薄膜半導体装置の製造方法を提供するものである。

問題点を解決するための手段

上記問題点を解決するため、本発明の薄膜半導体装置の製造方法は、半導体層へのソース・ドレインコンタクト穴あけ、ゲート電極をオーバー

合の図であるが、第1図～第3図を対比させながら同一物には同一番号を付して説明する。

ゲート電極2形成に用いるCrは抵抗加熱、あるいは電子線加熱方式による真空蒸着、またはスパッタリング法などにより形成し、バーニングは通常のフォトリソグラフ法により行なう。ゲート電極を形成したガラス基板1上にゲート絶縁膜3である塗化シリコン膜、半導体膜4であるアモルファスシリコン膜、保護絶縁膜5(塗化シリコン膜)を平行平板2電容量型プラスマCVD法により順次成膜し、既述の如く、第2図(a)、(b)、(c)、(d)に示される順に経って、通常のフォトリソグラフ法によりバーニングした。

以上のようにして構成されたTFTについて第2図(d)の段階でピンホール等による膜の抜けが存在すると第3図(a)の如くなり、Al等によるソース・ドレイン電極を形成した場合、第1図(d)の如くゲート電極とソース・ドレイン電極が短絡する。そこで第2図(d)の段階で島化部分を露出させるようにフォトリソグラフ法でバーニングし、ゲ

特開昭61-183972(3)

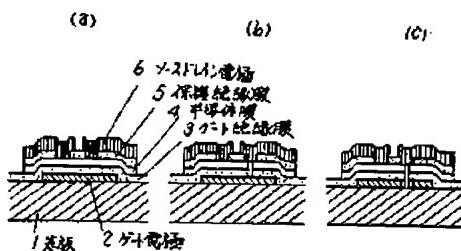
ト電極以外に露出した Cr をレジスト膜で保護した上で Cr エッチング液に浸漬し、Cr をオーバーエッチングすると、第3図(a)の如く欠陥のある箇所では第1図(c)のようにピンホール部分下のゲート電極がそのピンホール径より大きく除去され、かかる後 A2 等によるソース・ドレイン電極を形成しても、第1図(d)の如くなり電極間の短絡を防ぐことができる。勿論、正常を部分についても第1図(c)の如く形成され、何らの悪作用も及ぼさない。

発明の効果

以上のように本発明は半導体層へのコンタクト穴形成後に、ゲート電極をオーバーエッチングし、ソース・ドレイン電極を形成することにより、膜の欠陥やレジスト膜の欠陥によって生じたピンホールによる電極間の短絡を未然に防ぐことができる。

本発明は半導体装置のゲート電極として Cr を用いた例で説明したが、他の材料を用いた場合にも同様に適用するものである。

第1図



第2図



第3図

